

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-348434

(43)Date of publication of application : 03.12.1992

(51)Int.Cl.

G06F 9/46

(21)Application number : 03-120761

(71)Applicant : HITACHI LTD  
HITACHI COMPUT ENG CORP LTD

(22)Date of filing : 27.05.1991

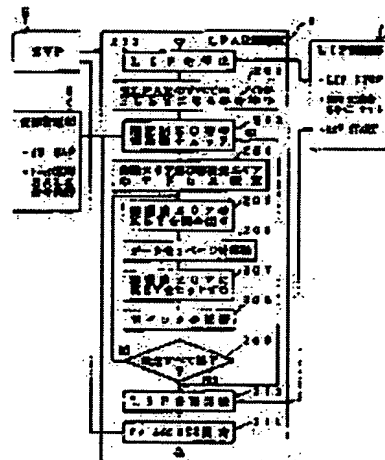
(72)Inventor : IMADA TOYOHISA  
TAKESHIMA SEISUKE

## (54) VIRTUAL COMPUTER SYSTEM

### (57)Abstract:

**PURPOSE:** To improve the working efficiency and the operation convenience of an information processor by shifting the main storage of a designated virtual computer without affecting the user of this computer.

**CONSTITUTION:** In a computer system having a division form of an LPAR mode, the hardware resources are divided exclusively or in time division into logical LPARs in the LPAR mode. The main storage assigned to each LPAR consists of an SVP 5 containing an LPAR frame, an LPAR control part 6 which controls the operation commands, etc., to be given to each LPAR, an LIP control part 7 which controls a guest with the instruction of the part 6, and a resource control part 8 which controls all physical resource information on the LPARs. In such a constitution, the main storage is shifted. Then the main storage origin of each LPAR is changed and the storage area becomes movable.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-348434

(43) 公開日 平成4年(1992)12月3日

(51) Int.Cl.<sup>8</sup>

G 0 6 F 9/46

識別記号

3 5 0

序内整理番号

8120-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 3 (全 5 頁)

(21) 出願番号 特願平3-120761

(22) 出願日 平成3年(1991)5月27日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233011

日立コンピュータエンジニアリング株式会  
社

神奈川県秦野市堀山下1番地

(72) 発明者 今田 豊寿

神奈川県秦野市堀山下1番地 株式会社日  
立製作所神奈川工場内

(72) 発明者 竹島 靖祐

神奈川県秦野市堀山下1番地 日立コンピ  
ュータエンジニアリング株式会社内

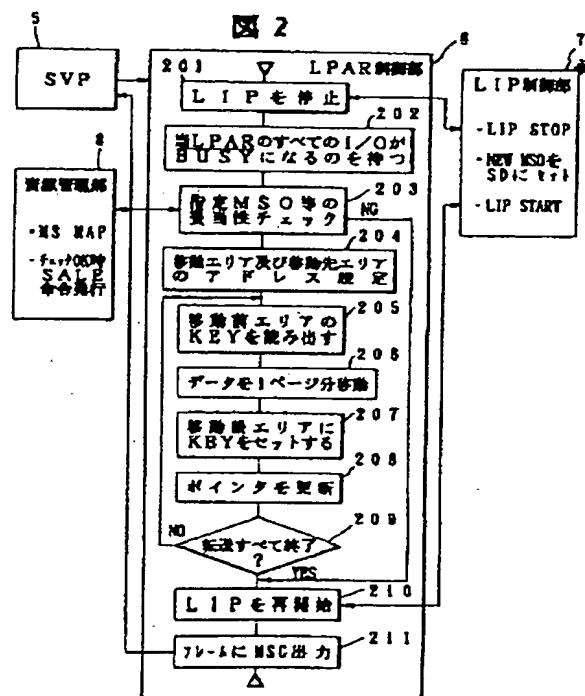
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 仮想計算機システム

(57) 【要約】

【目的】 指定仮想計算機の主記憶移動をこの仮想計算機のユーザに対して影響を与えることなく実現し、情報処理装置の効率化及び使い勝手の向上を図る。

【構成】 LPARモードの分割形態を持つ仮想計算機システムであって、ハードウェア資源がLPARモードで排他的または時分割で分割され、論理的なLPARに分割される。そして、各LPARに割り当てられた主記憶が、LPARフレームを備えたSVP5と、各LPARへの操作コマンドなどを制御するLPAR制御部6と、LPAR制御部6からの指示に従ってゲストを制御するLIP制御部7と、全LPARの物理資源情報をすべて管理する資源管理部8の構成により主記憶移動処理され、各LPARの主記憶オリジンが変更されて主記憶エリアが移動可能となる。



## 【特許請求の範囲】

【請求項1】 少なくとも情報処理装置と該情報処理装置のオペレーティングフェースを提供するサービスプロセッサとを備えた仮想計算機システムであって、複数の仮想計算機を制御するハードウェア機構と、該ハードウェア機構を排他的または時分割で論理的に区画化する論理区画手段と、前記複数の仮想計算機の該論理区画手段による指定仮想計算機の主記憶オリジンを変更して主記憶エリアを移動する主記憶移動手段とを備え、前記ハードウェア機構で稼働中の前記複数の仮想計算機の各割り当て主記憶オリジンを自由に変更することを特徴とする仮想計算機システム。

【請求項2】 前記複数の仮想計算機が物理的主記憶をすべて使用している場合に、動的に少なくとも2つ以上の仮想計算機の主記憶エリアを交換することを特徴とする請求項1記載の仮想計算機システム。

【請求項3】 前記複数の仮想計算機が稼働中に一方の仮想計算機の主記憶エリアを拡張する場合に、他方の仮想計算機の主記憶エリアを自由に移動することを特徴とする請求項1記載の仮想計算機システム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、仮想計算機システムに関し、特にL P A R (Logically Partitioned: 論理的区画化) 機能を備えた仮想計算機システムにおいて、各仮想計算機における主記憶の動的再編成による主記憶オリジンの指定エリアへの移動が可能とされる仮想計算機システムに適用して有効な技術に関する。

## 【0002】

【従来の技術】 従来、仮想計算機システムにおける主記憶の再編成技術としては、仮想計算機の主記憶の拡張および縮退を行う機能を備えたものが知られている。

## 【0003】

【発明が解決しようとする課題】 ところが、前記の従来技術においては、主記憶のオリジンを変更するものではない。

【0004】 たとえば、1つの仮想計算機が物理的な主記憶の中心部分を割り当て、既に基本ソフト(OSなど)を使用中で、もう1つの仮想計算機にとって必要な主記憶が連続して割り当てられなかった場合、従来技術では最初の仮想計算機を停止させて主記憶オリジンを再設定し、システム初期設定後にOSなどを再IPL (Initial Program Loader) する必要がある。

【0005】 そこで、本発明者は、仮想計算機に主記憶および仮想記憶の動的再編成を開発するにあたり、使い勝手の面から有効な機能を検討した結果、物理的に搭載された主記憶を分割して、分割された主記憶毎に仮想計算機を構築することが可能とされることを見出した。

【0006】 すなわち、本発明の目的は、他方の仮想計算機に主記憶が割り当てられない場合に、最初の一方の

仮想計算機の状態をそのままにし、主記憶オリジンを指定エリアに移して他方の仮想計算機を使用可能状態とすることにより、情報処理装置の効率化および使い勝手の向上を図ることができる仮想計算機システムを提供することにある。

【0007】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0008】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0009】 すなわち、本発明の仮想計算機システムは、少なくとも情報処理装置とこの情報処理装置のオペレーティングフェースを提供するサービスプロセッサとを備えた仮想計算機システムであって、複数の仮想計算機を制御するハードウェア機構と、このハードウェア機構を排他的または時分割で論理的に区画化する論理区画手段と、複数の仮想計算機の論理区画手段による指定仮想計算機の主記憶オリジンを変更して主記憶エリアを移動する主記憶移動手段とを備えるものである。

【0010】 また、前記複数の仮想計算機が物理的主記憶をすべて使用している場合に、動的に少なくとも2つ以上の仮想計算機の主記憶エリアを交換するようにしたものである。

【0011】 さらに、前記複数の仮想計算機が稼働中に一方の仮想計算機の主記憶エリアを拡張する場合に、他方の仮想計算機の主記憶エリアを自由に移動するようにしたものである。

## 【0012】

【作用】 前記した仮想計算機システムによれば、ハードウェア機構、論理区画手段および主記憶移動手段を備えることにより、たとえば複数の仮想計算機が物理的主記憶をすべて使用している場合には、動的に少なくとも2つ以上の仮想計算機の主記憶エリアを交換し、また複数の仮想計算機が稼働中に一方の仮想計算機の主記憶エリアを拡張する場合には、他方の仮想計算機の主記憶エリアを自由に移動させて、ハードウェア機構で稼働中の複数の仮想計算機の各割り当て主記憶オリジンを自由に変更することができる。

【0013】 すなわち、論理区画手段で区画化された指定仮想計算機の主記憶オリジンを主記憶移動手段により操作すると、サービスプロセッサからこのオペレーションが読み出され、指定仮想計算機の制御部に対して主記憶オリジンを変更することを連絡する。そして、制御部は論理的に接続されている命令プロセッサ制御部を停止させる。

【0014】 次に、指定された主記憶オリジンの妥当性を、全仮想計算機の物理資源を管理している資源管理部に確認し、指定エリアに移動できることが確認できた

後、仮想計算機の制御部はデータ移動をページ単位に行う。そして、入出力プロセッサに、この仮想計算機の新しい主記憶エリアの範囲をSALE (Set Address Limit Extender) 命令により連絡し、最後にSIE (Start Interpretive Execution) 命令のパラメータ内主記憶オリジンのエリアを変更して命令プロセッサ制御部を再開させる。

【0015】これにより、指定仮想計算機の主記憶移動を、この仮想計算機の使用ユーザに対して影響を与えることなく実現することができる。

【0016】

【実施例】図1は本発明の一実施例である仮想計算機システムのハードウェア資源構成を示すブロック図、図2は本実施例の仮想計算機システムにおける主記憶移動手段の構成と、この主記憶移動手段による主記憶移動処理手順を示す説明図、図3は本実施例における論理区画手段による主記憶割り当てを示す説明図、図4は本実施例における主記憶移動処理後の主記憶割り当てを示す説明図である。

【0017】まず、図1により本実施例の仮想計算機システムのハードウェア資源構成を説明する。

【0018】本実施例の仮想計算機システムのハードウェア資源は、たとえばL PARモード（論理区画手段）という新しい分割形態を持った仮想計算機システムとされ、4組の命令プロセッサ（IP1～IP4）1、主記憶部／仮想記憶部（MS／ES）2およびチャネルバス（CH）3と、デバイス（DEVICE）4とから構成され、デバイス4が4組の各仮想計算機群に分割されて使用される。

【0019】また、上記のハードウェア資源は、L PARモードにおいて排他的または時分割で分割され、論理的な計算機システムであるL PARに分割される。すなわち、上記ハードウェア構成の内、命令プロセッサ1は時分割によって各L PARに割り当てられ、他のハードウェアは排他的に分割されるようになっている。

【0020】そして、各L PARに割り当てられた主記憶が、図2に示すような主記憶移動処理（主記憶移動手段）により動的に再構成され、物理主記憶内で自由自在に各L PARの主記憶オリジンが変更されて主記憶エリアが移動可能な機能を備えている。

【0021】すなわち、主記憶移動処理は、図2に示すように各L PARに対するオペレーションインタフェースを提供するL PARフレームを備えたSVP（Service Processor）5と、各L PARへの操作コマンドなどを制御するL PAR制御部6と、L PAR制御部6からの指示に従ってゲストを制御し、またシミュレーションが必要な命令に対してはシミュレーション処理を行うLIP（Logical Instruction Processor）制御部7と、全L PARの物理資源情報をすべて管理する資源管理部8の構成により実行される。

【0022】次に、本実施例の作用について、たとえば2つのL PARを稼働させる場合について図2により説明する。

【0023】始めに、各L PARが稼働する前に定義したMSオリジンおよびMSサイズは図3（a）に示すようになっており、MSギャップがこのL PARとMS上位のL PARとの間の未使用エリアのサイズを示したものである。すなわち、L PAR1とL PAR2の間には、MSのギャップがないためにL PAR1のMSギャップは“0”となる。

【0024】また、定義された2つのL PARが稼働している時の主記憶のアロケーション状態は、図3（b）に示すようにL PAR1がMS＝0Mバイトから128Mバイトまで割り当てられており、残りのMS＝125Mバイトが未割り当てエリアである。

【0025】そして、2つのL PARが稼働中に、L PAR1のMSエリアを拡大する必要ができた時に本発明の主記憶移動（MOVE MS）機能を利用することができる。

【0026】まず、たとえばSVP5上のL PARフレームで、L PAR2に対し、MOVE MSコマンド（以下、MVSTORコマンドという）をMS0＝192と指定する。このオペレーションにより、制御がSVP5からL PAR2のL PAR制御部6に移る。

【0027】そして、L PAR制御部6では、まずLIPを停止させるためにLIP制御部7に指示を出し、LIP制御部7はLIP、すなわちL PAR2のゲストをストップ状態にする（処理フロー201）。

【0028】さらに、このL PAR2につながる全てのI/Oデバイスに対し、BUSY状態が回避されるのを最大10秒間待つ（処理フロー202）。通常、LIP停止時、I/OデバイスはBUSY状態をすぐに回避できるが、特殊なケースを想定して10秒間タイマーを用意している。

【0029】たとえば、タイムアウトの場合は、その旨のメッセージを出力してBUSYなI/Oデバイスを指摘する。この処理フロー202の必要性は、処理フロー201でLIPを停止させたが、IOPが稼働中のために、I/O命令によって従来エリア（稼働前エリア）に対してアクセスする可能性を防ぐためである。

【0030】そして、コマンドにより指定されたMSオリジン（ここでは192Mバイト）が打倒かどうかのチェック、すなわちMOVEできるか否かのチェックを資源管理部8で行う（処理フロー203）。ここで、資源管理部8は全てのL PARのMSマップを保持しており、指定されたMSオリジンからそのサイズ分、他L PARが使用していないかのチェックを行う。

【0031】本実施例では、MSオリジンの192Mバイトから384MバイトまではL PAR2が使用している、384Mバイト以降は未割り当てであるために移動

可能である。そして、資源管理部8では、MS移動が可能である時にIOPに対してSALE命令を発行し、更新後のLPARのMS範囲を連絡する。

【0032】続いて、実際のメモリ転送処理を処理フロー204~209に基づいて説明する。

【0033】まず、転送を開始するデータのスタートアドレスおよび転送先アドレスのスタートアドレスを設定する(処理フロー204)。本実施例では、転送前アドレスが384Mバイト-1ページで、転送先アドレスが448Mバイト-1ページである。すなわち、転送先アドレスより開始し、1ページ分ずつアドレスを減じていくことになる。

【0034】そして、転送前エリアのKEYを読み出し(処理フロー205)、レジスタに退避する。そして、処理フロー204で求めたアドレスより、転送先エリアにデータを転送し(処理フロー206)、この転送先エリアに先程読み込んだKEYをセットする(処理フロー207)。これで、1ページ分のメモリ転送は完了したことになる。

【0035】さらに、次に転送するエリアおよび転送先エリアのアドレスを更新する(処理フロー208)。本実施例では、1ページ分ずつ減じていき、この処理をLPARのMSサイズ分(ページ単位)繰り返す。

【0036】以上で、MS転送処理は終了する(処理フロー209)。最後に、LIPを再開させるために、LIP制御部7に指示を出す。この時、LIP制御部7は新しくなったMSオリジンをセットするため、SDを更新後、LIP、すなわちLPAR2のゲストをスタートさせる(処理フロー210)。また、SVP5上のフレームに対し、MVSTORコマンドの結果を報告する(処理フロー211)。本実施例では、MVSTORコマンドは正常に終了する。

【0037】この場合に、MVSTORコマンドの終了後におけるLPARのMS割り当て状況は図4(a)に示すようになり、MVSTORコマンドによってLPAR1のMSギャップができたため、LPAR1はこのMSギャップ分だけMSを増やすことが可能となる。また、LPAR1、2のMSアロケーション状態は図4(b)に示すようになり、LPAR2がまだMS上位方向に61Mバイト移動可能である。

【0038】以上のように、LPAR2の稼働状態に影響を与えることなく、LPAR1のMSを拡大させることが可能となる。

【0039】従って、本実施例の仮想計算機システムによれば、LPARモード機能を持つ仮想計算機システムにおいて、物理主記憶内で自由自在に各LPARの主記憶オリジンを変更して主記憶エリアを移動可能なMVSTORコマンドを提供することができるので、従来のように稼働中の仮想計算機を停止させ、主記憶オリジンの再設定後にさらに再IPLする必要がなくなり、他の主

記憶エリアにリロケーションできるので稼働中の仮想計算機の継続が可能となる。

【0040】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0041】以上の説明では、主として本発明者によってなされた発明をその利用分野であるLPAR機能を備えた仮想計算機システムに適用した場合について説明したが、これに限定されるものではなく、他の仮想計算機システムについても広く適用可能である。

【0042】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0043】すなわち、複数の仮想計算機を制御するハードウェア機構と、このハードウェア機構を排他的または時分割で論理的に区画化する論理区画手段と、複数の仮想計算機の論理区画手段による指定仮想計算機の主記憶オリジンを変更して主記憶エリアを移動する主記憶移動手段とを備えることにより、たとえば複数の仮想計算機が物理的主記憶をすべて使用している場合には、動的に少なくとも2つ以上の仮想計算機の主記憶エリアを交換したり、または複数の仮想計算機が稼働中に一方の仮想計算機の主記憶エリアを拡張する場合には、他方の仮想計算機の主記憶エリアを自由に移動させる機能を得ることができる。

【0044】これにより、ハードウェア機構で稼働中の複数の仮想計算機の各割り当て主記憶オリジンを自由に変更し、稼働中の仮想計算機を停止させることなく、他の主記憶にリロケーションできるので、稼働中の仮想計算機をそのまま継続することが可能となる。

【0045】この結果、指定仮想計算機の主記憶移動を、この仮想計算機の使用ユーザに対して影響を与えることなく実現し、情報処理装置の効率化および使い勝手の向上が可能とされる仮想計算機システムを得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例である仮想計算機システムのハードウェア資源構成を示すブロック図である。

【図2】本実施例の仮想計算機システムにおける主記憶移動手段の構成と、この主記憶移動手段による主記憶移動処理手順を示す説明図である。

【図3】本実施例における論理区画手段による主記憶割り当てを示す説明図である。

【図4】本実施例における主記憶移動処理後の主記憶割り当てを示す説明図である。

【符号の説明】

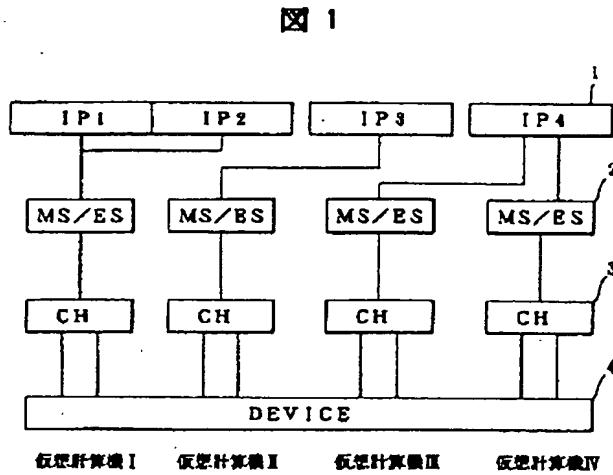
1 命令プロセッサ

2 主記憶部/仮想記憶部

- 3 チャンネルバス  
4 デバイス  
5 SVP

- 6 LPAR制御部  
7 LIP制御部  
8 資源管理部

【図1】



【図3】

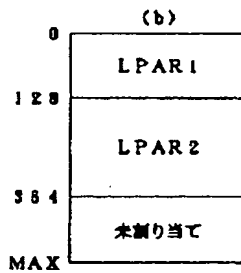
図 3

(a)

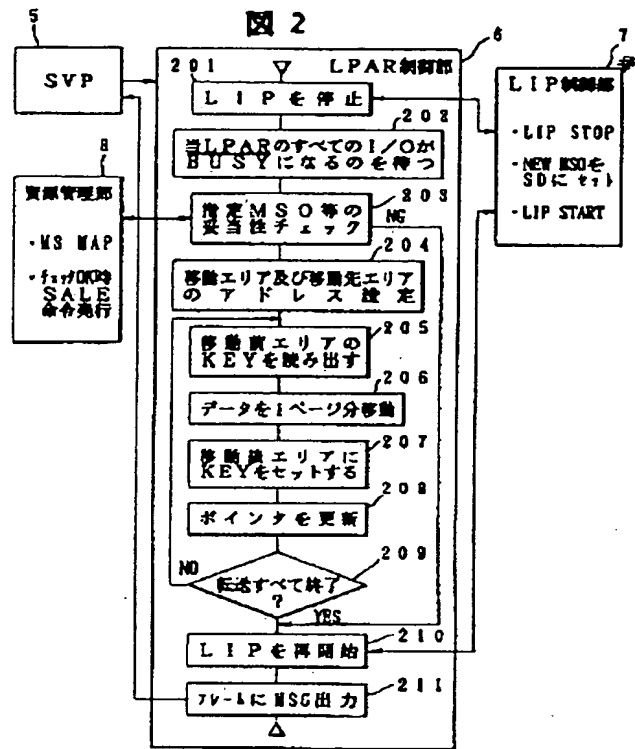
(単位: Mバイト)

LPAR名	MSオリジン	MSサイズ	MSギャップ
LPAR1	0	128	0
LPAR2	128	256	125

使用可能な物理MS: 509MB



【図2】



【図4】

図 4

(a)

(単位: Mバイト)

LPAR名	MSオリジン	MSサイズ	MSギャップ
LPAR1	0	128	64
LPAR2	192	256	61

使用可能な物理MS: 509MB

